

**MANUFACTURE OF LARGE-SCALE INTEGRATED CIRCUIT DEVICE**

Patent Number: JP4218943  
Publication date: 1992-08-10  
Inventor(s): SHIOASHI YOSHIHISA; others: 01  
Applicant(s):: TOSHIBA CORP  
Requested Patent: ☐ JP4218943  
Application Number: JP19910088316 19910419  
Priority Number(s):  
IPC Classification: H01L21/82 ; H01L27/04  
EC Classification:  
Equivalents: JP2752262B2

---

**Abstract**

---

**PURPOSE:** To enable making the circuits of many IC chips into one chip without redesigning them by forming regions corresponding to a plurality of evaluated chips in one and the same semiconductor substrate and by selectively connecting pads corresponding to the bonding pads of the regions corresponding to respective chips through an electrode wiring layer on a layer insulation film.

**CONSTITUTION:** Regions A and B corresponding to an evaluated and confirmed chip are arranged and formed in the chip 1. Then, metal wirings 17, 27 are formed with an insulating film 26 between and used as mutual wiring 6 and external wiring 7 between the regions A and B corresponding to the chip. Further, a VIA contact 28 is formed on a bonding pad 2 or 3 and aluminum is vapor-deposited on the contact to combine the metal wirings of respective layers.

---

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2752262号

(45) 発行日 平成10年(1998) 5月18日

(24) 登録日 平成10年(1998) 2月27日

(51) Int.Cl.<sup>4</sup>

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

B

発明の数 1 (全 5 頁)

(21) 出願番号 特願平3-88316  
(62) 分割の表示 特願昭58-91002の分割  
(22) 出願日 昭和58年(1983) 5月24日  
  
(65) 公開番号 特開平4-218943  
(43) 公開日 平成4年(1992) 8月10日  
審査請求日 平成3年(1991) 4月22日

前置審査

(73) 特許権者 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72) 発明者 塩足 慶久  
神奈川県川崎市幸区小向東芝町1番地  
株式会社東芝多摩川工場内  
(72) 発明者 長尾 建一  
神奈川県川崎市幸区小向東芝町1番地  
株式会社東芝多摩川工場内  
(74) 代理人 弁理士 鈴江 武彦

審査官 今井 拓也

最終頁に続く

(54) 【発明の名称】 1チップL S I の製造方法

(57) 【特許請求の範囲】

1. 所望の機能を有する複数の半導体チップをそれぞれ実質的に同一のウエハプロセスで形成する工程と、実質的に同一のウエハプロセスで形成された前記複数の半導体チップの各々の特性を評価し可であることを確認する工程と、特性が可であることが確認された前記複数の半導体チップのうち第一及び第二の半導体チップの機能を遂行する部分のパターンと実質的に同一のパターンを使用し、且つ前記ウエハプロセスと実質的に同一のウエハプロセスを用いて、予め設定されたウエハ内の1チップ領域に、前記第一及び第二の半導体チップの特性と実質的に同一の特性を有する前記第一及び第二のチップ相当領域を形成する工程と、前記第一及び第二のチップ相当領域を相互接続する配線

層を形成する工程とを具備する1チップL S I の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデータ処理装置等のシステム構成の単純化をはかった大規模集積回路装置の製造方法に関する。

【0002】

【従来の技術】 パーソナルコンピュータ等のシステムを構成するには、通常複数個のL S I (大規模集積回路) を組み合わせて使う。これらはCPU (中央処理装置)、ROM (リード・オンリ・メモリ)、RAM (ランダム・アクセス・メモリ)、キー入力制御部、シリアル入出力部、パラレル入出力部、カウンタタイミング制御部、表示駆動部等多くのチップになり、各チップ間の

相互配線はプリント基板によりなされる。ところがこの方法は、プリント基板上の相互配線が複雑で製作に手間がかかり、コストアップの原因となる。またプリント配線の静電容量が大きいと、各チップのスピードが早くなっても、システム全体のスピードアップにつながらない。また故障率が高い等の理由から、ユーザとしての要求は“システムに使用される複数のLSIを1チップ化出来ないか”という要求が大変強い。

【0003】上記1チップ化の要求に応える方法としては、(イ)全システムを再度設計して新たな1チップLSIをつくる、(ロ)複数のチップを1つのパッケージの中に封入していわゆるハイブリッドIC(集積回路)とする、等が考えられる。上記(イ)項のシステムを再設計する方法の場合、現在ある設計手法としては、

[1] 全て手設計による方法、[2] 電算機を導入したビルディングブロック方式の自動設計による方法、

[3] ゲートアレイ等による自動設計、等がある。これら[1]～[3]ともいずれも利点/欠点があるが、再設計の最大の欠点は、「各チップはすでに開発されて、機能、特性とも充分評価され可となっているのに、また同様のものを再度設計するため、設計、評価の手順をもう一度踏まねばならぬ」ことである。従って設計ミスのおそれがあったり、開発時間がかかる等種々の問題があり、能がない方法と云わざるを得ない。

【0004】上記(ロ)項のハイブリッドICの方法は、これは外部から見ると1個の部品として見えるだけで、上記プリント基板に複数のチップを実装し、配線する方法を単に小さくしただけにすぎない。勿論小さくしただけのメリットはそれなりにあるが、実際の実装技術として、どれだけの個数のチップがハイブリッド化できるか疑問が残るところであり、実現出来たとしても相当のコストアップとなるであろう。

【0005】

【発明が解決しようとする課題】本発明は上記実情に鑑みてなされたもので、再設計、ハイブリッド化いずれとも異なる新たなシステムの1チップ化を可能とする大規模集積回路装置の製造方法を提供しようとするものである。

【0006】

【課題を解決するための手段と作用】本発明は、複数のボンディングパッド相当用パッドを有し、かつすでに機能が確認されている集積回路のその機能を遂行するのに必要とする複数のチップ相当領域を、同一半導体基板上に同時に形成する工程と、前記チップ相当領域上に配線層の層間絶縁膜を形成する工程と、前記複数のチップ相当領域のボンディングパッド相当用パッド間、及び前記ボンディングパッド相当用パッドと前記半導体基板のボンディングパッド間を前記層間絶縁膜上に設けられる電極配線層でそれぞれ選択的に接続する工程とを具備したことを特徴とする大規模集積回路装置の製造方法である。

【0007】本発明は所望の装置を実現するのに、既に設計評価されている各チップのパターンをそのまま使用して1チップ化するようにしたものである。しかも上記のようにすれば、従来ばらばらに形成されていた各チップ及びそれらの間の配線を、1つの半導体基板に一挙に形成することができる。

【0008】

【実施例】以下図面を参照して本発明の実施例を説明する。図1において1は半導体チップ、A、Bはチップ1内で同一工程でいっしょに形成されたチップ相当領域で、これら領域はそれぞれ以前にチップA、チップBとして評価済みのものである。2、3はチップ相当領域A、Bが以前チップA、Bであった時のボンディングパッド(これを仮にインナーボンディングパッドというが、本発明ではボンディングパッド相当用パッドという)、4はチップ1のボンディングパッド(これを仮にアウターボンディングパッドという)である。このように既に評価確認済みのチップ相当領域AとBを適当なスペース5を置いてチップ1内に配置形成する。このスペース5はチップ相当領域A、B間の相互配線6の配線領域であり、また周縁付近には1チップ化した後にLSIからのリード端子として外部と接続するためのボンディングパッドとの配線(これを仮に外部配線という)7に使用される配線領域も設けられる。即ち、チップ相当領域AとB間の相互配線6を、領域A、B各々が有している該当ボンディングパッド間で上記配線領域5を利用して領域A、Bのプロセスによる配線層(ポリシリコン、アルミニウム等)でつくる。更に外部配線7に相当するボンディングパッド4をチップ周辺に必要な個数レイアウトし、外部配線7を、該当する領域A、Bのボンディングパッド2、3とアウターボンディングパッド4の間で、やはりポリシリコン、アルミニウム等で作る。図2は図1の一部断面を示すもので、11はチップ相当領域AまたはBのトランジスタ領域、12はN型基板、13、14はP<sup>+</sup>型ソース、ドレイン領域、

【0009】15は絶縁膜、16はポリシリコンゲート電極、17はアルミニウム配線、18は配線領域5での配線交差領域で、17<sub>1</sub>、17<sub>2</sub>は図1の配線6に対応するアルミニウム配線層、19はポリシリコン配線層である。

【0010】上記例は、各チップ相当領域の相互配線及び外部配線を、各チップのウエハプロセスを変えることなく配線領域5を設けることにより実現する手法であった。いわばプリント基板配線をチップと同一ウエハ上に配線領域を設けて焼きつけたものであり、1チップ化後のチップサイズは各チップ相当領域A、Bの合成面積より配線領域5分だけ大きくなるが、次に示す例は図1、図2の例を改良し、配線領域5をほとんど零にすることができる1チップ化の手法で本発明の実施例である。

【0011】図3、図4がその例を示すものであるが、

ここでは説明を簡単にするためにチップ相当領域A、Bそれぞれは、図1、図2の場合と同様シリコンゲートプロセスで構成されたLSIとする。従ってチップ相当領域A、Bは各々配線層として、ソース、ドレインを形成する不純物拡散層(P<sup>+</sup>、N<sup>+</sup>拡散等)、ゲート電極を構成するポリシリコン層、そして通常配線層として多用されるメタル配線層の3種類を有し、それらはチップA、B上で回路構成に応じて電氣的に絶縁されたり、結合されたりする。チップ相当領域A、Bの入力信号及び出力信号は、通常チップ周辺に配置されたボンディングパッド4よりパッケージのリードの結合されてLSIの外部と接続される。ボンディングパッドはメタル層で形成されるのが通常である。

【0012】図4は図3の一部断面を示すものであるが、これは図2に対応させた場合の例であるから、対応箇所には同一符号を付して説明を省略し、特徴とする点を説明する。図4において21はPウェル層、22、23はNチャネル型トランジスタ25のソース、ドレイン層、24はポリシリコンよりなるゲート電極、26は層間絶縁膜、27はこの絶縁膜上に設けられた第2層目のアルミニウム配線層で、図3の配線6または7に対応するものである。28はアルミニウム配線17、27間をつなぐためのコンタクトである。

【0013】このように図3、図4の手法は、絶縁膜26を挟んでメタル配線17、27を形成し、この第2層目のメタル配線層をチップ相当領域A、B間の相互配線6及び外部配線7として使用する。第2層目のメタル配線27による信号は、チップ相当領域A、B各々の入力信号(電源含む)のみでよい。また第2層目のメタル配線27と第1層目のメタルにより形成されたインナーボンディングパッド間に電氣的結合が必要だが、これは層間絶縁膜26を必要な箇所のみ写真蝕刻技術にて除去し、層間のコンタクトホールをつくることより可能である。このようなコンタクト28を通常ビア・コンタクト(VIA contact)と称している。即ちボンディングパッド2または3の上にビア・コンタクトをつくり、その上に第2層目のメタル(アルミニウム)を蒸着することで各層のメタル配線が結合される。しかしビア・コンタクトは必ずしもボンディングパッド2または3上に形成する必要がないことは明らかである。チップ相当領域A、Bが複合された新LSIも、最終的にLSI外部と信号伝達するボンディングパッド(アウターボンディングパッド)4が必要であるが、これは第2層目のメタルで形成する。

【0014】図3、図4の如く構成されたLSIにあつては、チップ相当領域A、B上に第2層目の配線27が形成でき、図1の場合のように特に配線領域5を特に設ける必要がないため、チップサイズを小さくできる。また第1層目と第2層目の配線の交差点にアルミニウムを使用できるため、該抵抗を小に保持できて高速設計が可

能となる。また第1層目の配線17と第2層目の配線27は同一平面上で交差しないため、配線設計の自由度が増すものである。

【0015】図5は図3、図4の手法を用いたパターン配置例である。A～Eが既に開発され機能が確認されているLSI(チップ相当領域)で、同一チップ相当領域が重複しても可である(例えばD=E)。また各チップ相当領域間の配線は第2層目のアルミニウム配線27

(図5の配線6または7に相当)でつくる。各チップ相当領域が本来有しているパッド2、3と第2層目の配線6、7はビア・コンタクトで接続する。外周のパッド4が新LSIのボンディングパッドとなり、第2層目のアルミニウムでつくるものである。

【0016】なお本発明は実施例のみに限られることなく種々の応用が可能である。例えば実施例では、チップ相当領域A、B等の構造がシリコンゲート型の場合を説明したが、アルミニウムゲート型、タングステンゲート型、モリブデンゲート型等種々の場合に適用できる。また配線のメタル材料としては、アルミニウムのみに限らずタングステン、モリブデン等種々の材料が使用できる。また実施例ではチップ相当領域A、Bの外側領域にアウターボンディングパッド4を形成しているが、パターン形状が許せばチップ相当領域A、Bのボンディングパッド2、3と同一ライン上にパッド4を形成してもよい。またメタル配線層としてアルミニウムを用いた2層配線の場合を説明したが、3層、4層等の多層配線としてもよい。

【0017】

【発明の効果】以上説明した如く本発明によれば、チップ相当領域は従来のチップ構成にほとんど手を加えないので、機能、特性共に評価すみのものが同一プロセスでそのまま1チップ化できる。また1チップ化できるため、従来のプリント基板を用いるものと比べ信頼性が向上する。また本装置を得るのに従来のウエハプロセスをそのまま利用でき、製造工程の単純化が可能である。またチップ相当領域上に第2層目以降の配線が形成できるためチップサイズの縮小が可能である。また、第1、第2層目等の交差配線部に共にアルミニウムを使用できるため、抵抗を小にできて高速設計が可能となる。また第2層目以降の配線は第1層目のそれと同一平面上で交差しないため、配線設計の自由度が増すものである。また本発明では、配線6に、機械的接続(ボンディングワイヤによる)を用いない通常のICプロセスによるIC配線が可能で、大幅なIC微細化が可能となるし、この事に加えて本発明は、ICチップ内でのボンディングおよびボンディングワイヤの交差部も生じないことから、生産性に優れ、また工程が単純化される利点もある。また本発明は、チップ内でのボンディングが不要だから、ボンディング回数が減ると共にチップに機械的ストレスを与える機会が大幅に減少する。したがってこの点でも従

来の装置と比べ、信頼性が向上するものである。

【図面の簡単な説明】

【図1】 改良前のLSIの概略平面図。

【図2】 図1の一部断面図。

【図3】 本発明の一実施例の概略平面図。

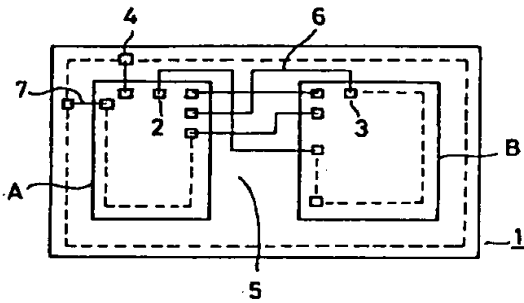
【図4】 図3の一部断面図。

【図5】 上記実施例の応用例を示す概略平面図。

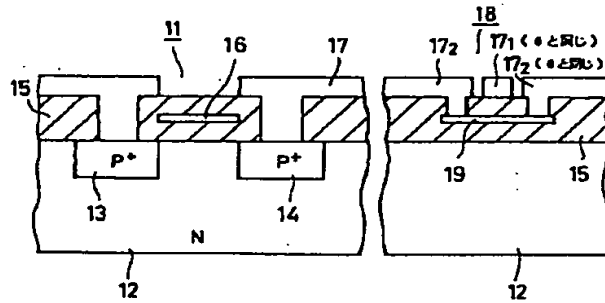
【符号の説明】

1…半導体チップ、2～4…ボンディングパッド、6、7…配線、12…N型基板、17、27…配線、21…Pウェル層、26…層間絶縁膜、28…ビア・コンタクト、A、B…チップ相当領域。

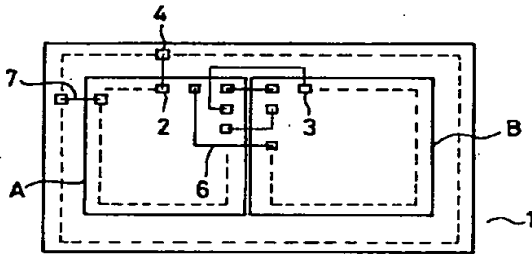
【図1】



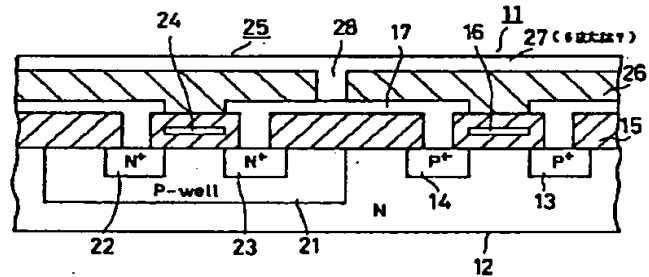
【図2】



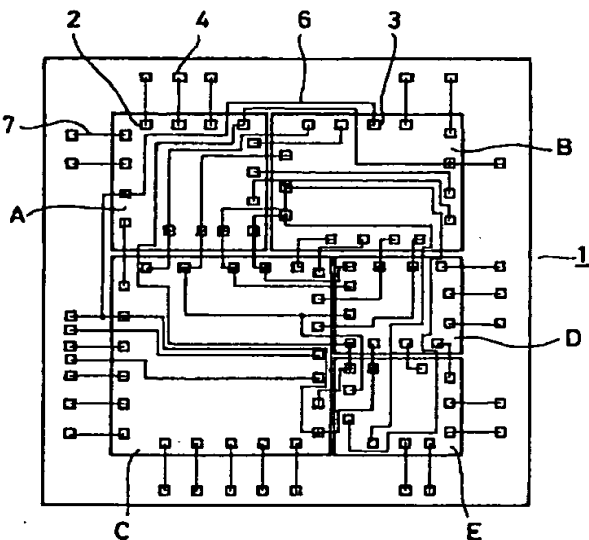
【図3】



【図4】



【図5】



## フロントページの続き

- (56)参考文献 特開 昭54-84984 (JP, A)  
特開 昭56-18439 (JP, A)  
特開 昭51-117588 (JP, A)  
特開 昭57-35342 (JP, A)  
特開 昭51-117588 (JP, A)  
特開 昭57-52151 (JP, A)  
実開 昭57-22242 (JP, U)